

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284641

(43)Date of publication of application : 12.10.2001

(51)Int.Cl. H01L 33/00
G09F 9/33
H01L 27/15

(21)Application number : 2000-101371

(71)Applicant : SONY CORP

(22)Date of filing : 31.03.2000

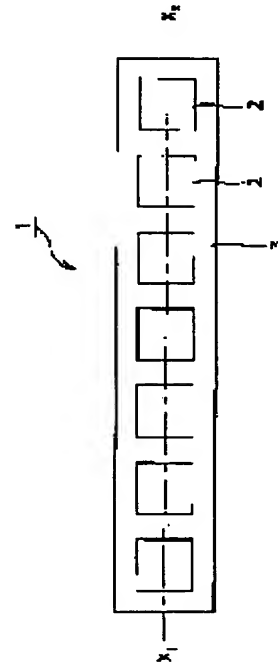
(72)Inventor : OKUYAMA HIROYUKI
TODA ATSUSHI
NAKAO ISAMU
SHIRAI KATSUYA
KOJIMA SHIGERU

(54) IMAGE DISPLAY ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image display element for facilitating mounting and electrode wiring, improving production efficiency and displaying high quality images.

SOLUTION: A substrate for crystal growth composed by successively crystal- growing the respective layers of a light emitting diode element provided with a multi-layer structure is divided and a bar-shaped body for which the plurality of light emitting diode elements are linearly arrayed is attained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The image display element characterized by the bird clapper, the substrate for crystal growths to which it comes to carry out the crystal growth of each class of a light emitting diode element which has multilayer structure one by one being divided, and being used as the rod-like structure by which two or more light emitting diode elements were arranged in the shape of a straight line on the same substrate.

[Claim 2] The above-mentioned substrate for crystal growths is an image display element according to claim 1 characterized by the bird clapper from with a Mohs hardness of seven or less material.

[Claim 3] With an above-mentioned Mohs hardness of seven or less material is an image display element according to claim 2 characterized by being single crystal silicon.

[Claim 4] The above-mentioned light emitting diode element is an image display element according to claim 1 characterized by being a nitride semiconductor device.

[Claim 5] The above-mentioned nitride semiconductor device is an image display element according to claim 4 characterized by being a GaN system III-V group semiconductor device.

[Claim 6] The image display element according to claim 1 characterized by rare earth elements being doped by the barrier layer among each class of the above-mentioned light emitting diode element.

[Claim 7] The image display element according to claim 1 characterized by preparing the common electrode of two or more above-mentioned light emitting diode elements in the above-mentioned image display element.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates to the chip using Light Emitting Diode which carried out light emitting diode element two or more arrangement about a light emitting diode element.

[0002]

[Description of the Prior Art] a lot of information data are processed by development of rapid technology in recent years -- things become possible and the demand to the full color display which displays [processing and] a lot of image information is increasing in connection with this There are some which used the light emitting diode (it calls Light-emitting diode and Following Light Emitting Diode) element as one of such the display. That is, the display with which a desired picture is acquired can be made by arranging the Light Emitting Diode element which can be driven by the high brightness low battery in desired configurations, such as the shape of a matrix, and making each Light Emitting Diode element drive, respectively. And much display which has arranged the Light Emitting Diode element in the shape of a matrix is proposed as indicated by JP,56-1738,A, JP,5-53511,A, JP,7-335942,A, JP,9-197979,A, JP,10-22529,A, JP,8-306961,A, JP,7-129097,A, JP,6-232456,A, JP,6-45660,A, etc.

[0003]

[Problem(s) to be Solved by the Invention] By the way, in the process which manufactures such display, although it is necessary on a big screen to carry out mounting wiring of every one Light Emitting Diode element, this process takes very much time and the manufacture yield is also low considered to be a bird clapper easily. The yield per one unit and the problem of production time are solvable by dividing and producing to the small unit of a Light Emitting Diode element 3 piece x3 piece matrix, and it being parallel and performing much mounting wiring for every unit, there, as indicated by JP,7-129097,A.

[0004] However, if a unit is made small too much in this case, the problem that mount as a big screen and the yield at the time of wiring becomes low will arise. Then, it is necessary to form the unit of the size optimal for mounting wiring. Moreover, although there is a method which is indicated by JP,56-1738,A, for example as how to take out the electrode at the time of forming a unit in this way, in the case of such a method, the boundary between each unit is conspicuous, and there is a problem of it becoming impossible to display original image information in it.

[0005] Therefore, it is originated in view of the conventional trouble mentioned above, and mounting and electrode wiring are easy, productive efficiency is good, and this invention aims at offering the image display element which can display a high-definition picture.

[0006]

[Means for Solving the Problem] The substrate for crystal growths to which it comes to carry out the crystal growth of each class of a light emitting diode element which has multilayer structure one by one is divided, and it is characterized by the bird clapper, the image display element concerning this invention being used as the rod-like structure by which two or more light emitting diode elements were arranged in the shape of a straight line.

[0007] The substrate for crystal growths to which it comes to carry out the crystal growth of

each class of a light emitting diode element which has multilayer structure one by one is divided, and let the image display element concerning this invention be the rod-like structure by which two or more light emitting diode elements were arranged in the shape of a straight line.

[0008] In this image display element, since the mounting man day of the Light Emitting Diode element at the time of forming display etc. by making an image display element into a base unit since two or more light emitting diode elements are arranged, and the number of wiring of an electrode are cut down sharply, it becomes what was excellent in productive efficiency, and the good high-definition picture of visibility can be displayed.

[0009]

[Embodiments of the Invention] Hereafter, with reference to a drawing, this invention is explained in detail.

[0010] An example of the image display element which applied this invention to gestalt drawing 1 or drawing 3 of the 1st operation is shown. Drawing 1 is the plan of the image display element 1 which applied this invention. Drawing 2 is drawing of longitudinal section in X1-X2 line of drawing 1. Moreover, drawing 3 is drawing of longitudinal section of the Light Emitting Diode element section.

[0011] A barrier layer is equipped with two or more Light Emitting Diode elements which it comes to form between the semiconductor layer by the side of n electric conduction, and the semiconductor layer by the side of p electric conduction, and the image display element 1 which applied this invention is constituted. Here, p electric conduction side points out the semiconductor layer between a barrier layer and p electrode, and n electric conduction side shall sandwich a barrier layer, and shall point out the semiconductor layer which is in an opposite side p electric conduction side. The image display element 1 which applied this invention Namely, for example, Si substrate which is the substrate 3 for the crystal growths of a Light Emitting Diode element, The AlN:Si layer which is the n side buffer layer 4 formed on the 1 principal plane of Si substrate, The GaN:Si layer which is the n side buffer layer 5 formed on the AlN:Si layer, The AlGaIn:Si layer which is the n side clad layer 6 formed on the GaN:Si layer, The InGaIn/GaN layer which is the barrier layer 7 formed on the AlGaIn:Si layer, The AlGaIn:Mg layer which is the p side clad layer 8 formed on the InGaIn/GaN layer, It has two or more Light Emitting Diode elements 2 which have the GaN:Mg layer which is the p side contact layer 9 formed on the AlGaIn:Mg layer, the p electrode 10 formed on the GaN:Mg layer, and the n electrode 11 formed in the other principal planes of Si substrate, and is constituted.

[0012] Cylindrically, it cuts and the above-mentioned image display element 1 is characterized for the substrate which used the Light Emitting Diode element 2 for the crystal growth of the Light Emitting Diode element 2 concerned by the cleavage or arranging more than one in the shape of a straight line on a substrate, as shown in drawing 1 or drawing 3.

[0013] That is, the above-mentioned image display element 1 becomes possible [cutting down sharply the mounting man day to other substrates at the time of producing display etc.], in order that the Light Emitting Diode element 2 of a predetermined number may be arranged on the substrate 3 for the crystal growths of the Light Emitting Diode element 2 concerned and may make this a base unit. Therefore, since the Light Emitting Diode element 2 can be mounted simple and efficiently, productive efficiency can be raised.

[0014] moreover -- the principal plane of the side in which each Light Emitting Diode element 2 of the image display element 1 was formed, and an opposite side -- each Light Emitting Diode element 2 on the image display element 1 -- the n electrode 11 common to all is formed. Therefore, since it can become possible to cut down sharply the number of wiring of the electrode at the time of producing display etc. and an electrode can be wired simple and efficiently, while being able to raise productive efficiency, the reliability of electrode wiring can also be raised.

[0015] Moreover, in the above-mentioned image display element 1, it is characterized by having grown up the nitride and forming the Light Emitting Diode element 2 with a nitride semiconductor on the substrate 3 for the crystal growths of the Light Emitting Diode element 2.

[0016] By forming the Light Emitting Diode element 2 with a nitride semiconductor, RGB can be obtained and the effect that degradation can moreover make luminescence quantity efficiency

high few can be acquired. And as a nitride semiconductor, a GaN system III-V group can be used suitably.

[0017] Moreover, in the above-mentioned image display element 1, it is characterized by Mohs hardness using seven or less material as a substrate 3 for the crystal growths of the Light Emitting Diode element 2.

[0018] Although the crystal of nitride systems, such as GaN, is usually grown up on silicon on sapphire, Mohs hardness is 9, and sapphire is very hard and very difficult to cut with high precision with the means of the dicing saw which usually performs a cleavage. If silicon on sapphire is cylindrically cut using a dicing saw, in a longitudinal direction, about 20-micrometer dispersion will usually arise in one cutting plane. However, when dispersion in cutting by this cleavage is large, fault will arise in the process which mounts the image display element 1 which is the process after producing display on another substrate. Therefore, dispersion in cutting in the longitudinal direction of the image display element 1 needs to press down the both-sides side of the image display element 1 to about 10 micrometers in all.

[0019] Then, the yield can also be raised, while being able to reduce dispersion in the size of the cutting plane at the time of performing a cleavage when Mohs hardness uses six or less material as a substrate 3 for the crystal growths of a Light Emitting Diode element and being able to perform a cleavage with a sufficient precision. As what fulfills such conditions, the quartz whose Mohs hardness is 7, for example, and the single crystal silicon whose Mohs hardness is 7 can be used suitably. And with about 1-2 micrometers, although dispersion in cutting when a quartz performs cutting by the dicing saw also in it is about 5 micrometers, since there is very little dispersion in cutting when performing cutting by the dicing saw in the case of single crystal silicon, it can use single crystal silicon more suitably. Moreover, as compared with sapphire etc., single crystal silicon is cheap and can manufacture the quality Light Emitting Diode element 2 cheaply by using single crystal silicon as a substrate 3 for the crystal growths of a Light Emitting Diode element.

[0020] Moreover, in the above-mentioned Light Emitting Diode element 2, the color of luminescence obtained from the Light Emitting Diode element 2 can be changed by doping rare earth elements to InGaN of the InGaN/GaN layer which is a barrier layer 7. Here, as rare earth elements in which a dope is possible, La, Ce, Pr, Nd, Pm, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Lu, etc. can be used for InGaN, for example. Blue luminescence can be obtained by doping Eu, Sm, and Er especially by being able to obtain red luminescence, and being able to obtain green luminescence by doping Tb, and doping Tm.

[0021] Predetermined rare earth elements are doped to InGaN as mentioned above. For example, the first color, Three kinds of image display elements which have arranged three kinds of Light Emitting Diode elements of the second color and the third color, respectively are produced. The image display element concerned is arranged one by one in order of the image display element 12 of the first color, the image display element 13 of the second color, and the image display element 14 of the third color, as shown in drawing 4. the p electrode 10 and the n electrode 11 for example, by wiring using a wire etc. A electrochromatic display can be constituted simple and efficiently.

[0022] The rare earth elements doped to InGaN in the above are chosen. the first color Moreover, blue, Namely, by setting a 450-480nm luminescence wavelength-range region and the second color to green, i.e., a 500-540nm luminescence wavelength-range region, and setting the third color to red, i.e., a 610-640nm luminescence wavelength-range region Quality full color display can be constituted simple and efficiently by being able to arrange three colors of RGB, arranging the image display element of these RGB3 color one by one, as shown in drawing 4, and wiring p electrode and n electrode using a wire etc.

[0023] The image display element 1 constituted as mentioned above is producible as follows.

[0024] First, the substrate 3 single-crystal-silicon substrate for the crystal growths of a Light Emitting Diode element is prepared, and a single-crystal-silicon substrate is washed using the organic solvent etc. The washed substrate is inserted for example, into MOCVD (Metal Organic Chemical Vapor Deposition) equipment, and thermal cleaning is given by heating substrate temperature in temperature of 800-1050 degrees C.

- [0025] Next, in temperature with a growth temperature of 700–1000 degrees C, an AlN:Si layer is formed as an n side buffer layer 4 on the 1 principal plane of a single-crystal-silicon substrate.
- [0026] Next, a single-crystal-silicon substrate is heated in temperature of 700–1000 degrees C, and an GaN:Si layer is formed as a buffer layer 5 on an AlN:Si layer at the thickness of 0.1 micrometers or more.
- [0027] Next, a single-crystal-silicon substrate is heated in temperature of 1000 degrees C, and (aluminum) GaN:Si layer is formed as an n side clad layer 6 on an GaN:Si layer at the thickness of about 1 micrometer. Here, it is not necessary to necessarily form aluminum layer that what is necessary is just to make it mix if needed.
- [0028] Next, a single-crystal-silicon substrate is heated in temperature of 600–800 degrees C, and an InGaN/GaN layer is formed on an AlGaIn layer at the thickness of about 1–6nm as a barrier layer 7 of multiplex quantum well structure (MQW:Multi-Quantum-Well). Here, although the contents of In in an InGaN/GaN layer differ with the luminescence wavelength demanded, i.e., the luminescent color, it is desirable to consider as 1% – about 80%. For example, red luminescence can be obtained by being able to obtain blue luminescence, and being able to obtain green luminescence by considering as about 40%, and considering as 50% or more by making the content of In in an InGaN/GaN layer into about 20%. Moreover, as a barrier layer, InGaIn/AlGaIn, InGaIn/AlN, etc. can also be used besides InGaIn/GaN.
- [0029] Moreover, the wavelength of luminescence obtained from the Light Emitting Diode element 2, i.e., a color, can be changed by doping rare earth to InGaIn. Here, as rare earth in which a dope is possible, La, Ce, Pr, Nd, Pm, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Lu, etc. can be used for AlGaIn, for example. Blue luminescence can be obtained by doping Eu, Sm, and Er especially by being able to obtain red luminescence, and being able to obtain green luminescence by doping Tb, and doping Tm.
- [0030] Next, a single-crystal-silicon substrate is heated in temperature of 980 degrees C, and a AlGaIn:Mg layer is formed as a p side clad layer 8 on an InGaIn/GaN layer at the thickness of about 0.1–0.2 micrometers. Here, the effect of improvement in the property of InGaIn under it or improvement in the luminous efficiency by overflow electronic suppression can be acquired by mixing boron in AlGaIn.
- [0031] Next, a single-crystal-silicon substrate is heated in temperature of 800–980 degrees C, and GaIn:Mg is formed as a p side contact layer 9 on a AlGaIn:Mg film at about 0.1-micrometer thickness.
- [0032] In the above, trimethylgallium (TMGa) and triethylgallium (TEGa) can be used as a raw material of Ga. Moreover, NH₃ can be used as a raw material of N. And as a raw material of Mg, screw methylcyclopentadienyl magnesium (MeCp) (2Mg) and JISHIKURO pentane magnesium (Cp2Mg) can be used.
- [0033] Next, a p type carrier is activable by annealing the substrate which carried out the crystal growth in the above for 10 minutes at the temperature of about 800 degrees C.
- [0034] Next, the electrode pad 16 is formed on a GaIn:Mg layer. By the spin coater, a resist is applied and exposure and development are performed to the principal plane of the side in which washed the above-mentioned substrate, next the substrate carried out the crystal growth using the photo mask corresponding to the size and configuration of the electrode pad 16. And nickel/Pt/Au is formed by the vacuum deposition to thickness (10nm, 100nm, and about 300nm) after development, respectively, and an electrode pad is formed by performing a lift off with an acetone.
- [0035] Next, a transparent electrode is formed. A resist is applied and exposure and development are performed to the principal plane of the side in which washed the substrate in which the above-mentioned electrode pad 16 was formed, next the substrate carried out the crystal growth by the spin coater using the photo mask corresponding to the size and configuration of a transparent electrode 17 to form. and after development (for example, Au) -- 10nm of thickness -- a vacuum deposition -- forming membranes -- an acetone -- a lift off -- a line -- a transparent electrode 17 is formed by things
- [0036] Next, isolation is performed. Isolation can be performed by *****ing to the predetermined thickness of an GaIn:Si film using reactive ion etching (RIE) etc.

[0037] Next, rear-face polish of a substrate is performed. A photoresist is applied to the front face of the side in which the electrode pad 16 grade of a substrate which performed isolation was formed, by the spin coater as a protective coat. And the principal plane of an opposite side is ground the side in which the rear face of a substrate, i.e., electrode pad 16 grade, was formed until the thickness of a Light Emitting Diode element is set to about 100 micrometers using a grinder etc.

[0038] Next, the n electrode 11 is formed. Au, aluminum, or Cu is used as an n electrode 11. Wet etching etc. removes the oxide film formed in the principal plane of the side which gave the rear face of the substrate which gave rear-face polish, i.e., polish. Next, an acetone etc. removes the photoresist formed in the front face of the side in which the front face of a substrate, i.e., the above-mentioned electrode pad 16 grade, was formed, as a protective coat, and the n electrode 11 is formed by forming Au by the vacuum deposition in thickness of about 300nm at the principal plane of the side which gave the rear face of a substrate, i.e., wet etching.

[0039] Next, the image display element 1 as shown in drawing 1 and drawing 2 is producible by performing a cleavage using a dicing saw etc. so that the Light Emitting Diode element 2 may arrange more than one in the shape of a straight line on the image display element 1. At this time, the n electrode 11 produced in the above is also divided into each image display element 1.

[0040] Other examples of the image display element which applied this invention to gestalt drawing 5 or drawing 7 of the 2nd operation are shown. Drawing 5 is the plan of the image display element 25 which applied this invention. Drawing 6 is drawing of longitudinal section in X3-X4 line of drawing 1. Moreover, drawing 7 is drawing of longitudinal section of the Light Emitting Diode element section.

[0041] Si substrate whose above-mentioned image display element 25 is a substrate for the crystal growths of the Light Emitting Diode element 26, The GaN:Si layer which is the n side buffer layer 18 formed on the 1 principal plane of Si substrate, it forms on a GaN layer -- having -- barrier-layer growth -- with SiO₂ which is the mask 20 equipped with the hole 19 barrier-layer growth -- with the GaN:Si layer which is the n side clad layer 21 formed into the hole 19 barrier-layer growth -- with the InGaN/GaN layer which is the barrier layer 22 formed in a hole 19 and on the mask 20 The AlGaIn:Mg layer which is the p side clad layer 23 formed on the InGaIn/GaN layer, It has two or more Light Emitting Diode elements 26 which have the GaN:Mg layer which is the p side contact layer 24 formed on the AlGaIn:Mg layer, the p electrode 10 formed on the GaN:Mg layer, and the n electrode 11 formed in the other principal planes of Si substrate, and is constituted.

[0042] The above-mentioned image display element 25 of composition fundamental except using the mask 20, in case a barrier layer 22 is formed is the same as that of the gestalt of the 1st operation almost, and it has the same effect. Therefore, here explains formation of the barrier layer 22 which uses a different mask 20 from the gestalt of the 1st operation.

[0043] In the above-mentioned Light Emitting Diode element 26, the GaN layer which is the n side buffer layer 19 is formed on the 1 principal plane of the single-crystal-silicon substrate which is the substrate 3 for the crystal growths of a Light Emitting Diode element, and SiO₂ is formed as a mask 20 on the GaN layer concerned. and as shown in the mask concerned at drawing 8 and drawing 9, in the in-every-direction direction, it stands in a line in the shape of [predetermined] a straight line -- as -- barrier-layer growth -- the hole 19 is formed barrier-layer growth -- the portion which takes the lead in case a hole 19 grows up a barrier layer 22 -- it is -- barrier-layer growth -- an GaN:Si layer is formed in the thickness which is about 1 micrometer as an n side clad layer 21 at the pars basilaris ossis occipitalis of a hole 19 and an GaN:Si layer top -- barrier-layer growth -- a hole 19 is buried and the InGaIn/GaN layer which is a barrier layer 22 is further formed in the hexagon along the upper surface of a mask 20

[0044] By considering as the above composition, positioning of the Light Emitting Diode element 26 on the image display element 25 can be ensured [simple and], and it can consider as the image display element 25 with a sufficient arrangement precision of the Light Emitting Diode element 26.

[0045] Next the image display element 25 constituted as mentioned above can be made like, and

can be produced.

[0046] First, a single-crystal-silicon substrate is prepared as a substrate 3 for the crystal growths of a Light Emitting Diode element, and the single-crystal-silicon substrate concerned is washed using the organic solvent etc. The washed substrate is inserted into MOCVD (Metal Organic Chemical Vapor Deposition) equipment, and thermal cleaning is given by heating substrate temperature in temperature of 800–1050 degrees C.

[0047] Next, in temperature with a growth temperature of 800–1000 degrees C, an GaN:Si layer is formed as an n side buffer layer 18 on the 1 principal plane of a single-crystal-silicon substrate. Although the thickness of this GaN:Si layer changes with the doping concentration of Si, its about 3 micrometers are desirable.

[0048] Next, SiO₂ is formed as a mask 20 on an GaN:Si layer at the thickness of about 0.2 micrometers. and it is shown in drawing 8 -- as -- a mask -- barrier-layer growth with a depth of about 0.2 micrometers -- only a predetermined number vacates a hole 19 so that it may stand in a line length and horizontally in the shape of a straight line, respectively the barrier-layer growth which vacated for the mask here -- a hole 19 is a portion which takes the lead in a barrier layer 22 in a next process, and corresponds to the pixel at the time of constituting display etc. Moreover, you may form a mask 20 using SiN.

[0049] Next, a single-crystal-silicon substrate is heated in temperature of 800–1000 degrees C, about 1 micrometer of GaN:Si layers is formed as an n side clad layer 21, a single-crystal-silicon substrate is further heated in temperature of 600–800 degrees C, and InGa_N (3nm – about 6nm)/Ga_N (about 5nm) is formed on an GaN:Si layer as a barrier layer 22 of multiplex quantum well structure (MQW:Multi-Quantum-Well). the barrier-layer growth which the GaN:Si layer and the InGa_N/Ga_N layer were not formed on the mask 20 at first, but vacated for the mask 20 here -- it is formed into a hole 19 and barrier-layer growth -- after a hole 19 is buried -- barrier-layer growth -- it spreads around along the upper surface of a mask 20 focusing on the portion of a hole 19, and is formed in the shape of a hexagon this time -- each barrier-layer growth -- it adjusts so that barrier-layer 22 adjoining comrades which spread and grew from the hole 19 may not be connected

[0050] thus, an GaN:Si layer top -- a mask 20 -- forming -- a mask 20 -- barrier-layer growth -- a hole 19 -- vacating -- a barrier layer 22 -- forming -- each barrier-layer growth -- the process of the isolation performed with the gestalt of the 1st operation mentioned above can be facilitated by controlling and carrying out so that the adjoining barrier layer 22 which grew up to be a hole 19 may not be connected

[0051] Moreover, although the content of In in an InGa_N/Ga_N film changes with luminescence wavelength demanded, it is desirable to consider as 1% – about 80%. Moreover, as a barrier layer, InGa_N/AlGa_N, InGa_N/AlN, etc. can also be used besides InGa_N/Ga_N.

[0052] Moreover, the color of luminescence obtained from the Light Emitting Diode element 26 can be changed by doping rare earth to InGa_N like the gestalt of the 1st operation.

[0053] Next, a single-crystal-silicon substrate is heated in temperature of 800–980 degrees C, and a AlGa_N:Mg layer is formed as a p side clad layer 23 on an InGa_N/Ga_N film at about 0.1–0.2-micrometer thickness.

[0054] Next, a single-crystal-silicon substrate is heated in temperature of 800–980 degrees C, and Ga_N:Mg is formed as a p side contact layer 24 on a AlGa_N:Mg layer at about 0.1-micrometer thickness. Ga_N:Mg as a p side contact layer 24 forms by making Mg concentration into height.

[0055] Here, B may be mixed in the Ga_N layer and AlGa_N layer which are carrying out the clad of the barrier layer 22 if needed, and BA₂AlGa_N which made [many] content of aluminum may be used for them. By mixing B, the stable disposition top of InGa_N under it and electronic overflow can be suppressed, and the effect of improvement in luminous efficiency can be acquired.

[0056] In the above, the peach same as a raw material of Ga, N, and Mg as the gestalt of the 1st operation can be used.

[0057] Next, the electrode pad 16 is formed on a Ga_N:Mg layer. The above-mentioned substrate is washed, by the spin coater, a resist is applied and exposure and development are performed to the principal plane of the side in which the substrate carried out the crystal growth using the photo mask corresponding to the size and configuration of the electrode pad 16. And

nickel/Pt/Au is formed by the vacuum deposition to thickness (10nm, 100nm, and about 300nm) after development, respectively, and the electrode pad 16 is formed by performing a lift off with an acetone. Moreover, you may form Ti/aluminum/Pt/Au etc. instead of nickel/Pt/Au.

[0058] Next, a transparent electrode 17 is formed. The substrate in which the above-mentioned electrode pad 16 was formed is washed, a resist is applied and exposure and development are performed to the principal plane of the side in which the substrate carried out the crystal growth by the spin coater using the photo mask corresponding to the size and configuration of a transparent electrode 17 to form. and after development (for example, Au) -- 10nm of thickness -- a vacuum deposition -- forming membranes -- an acetone -- a lift off -- a line -- a transparent electrode 17 is formed by things

[0059] Next, isolation is performed. Isolation can be performed using reactive ion etching (RIE) etc. In this case, since an adjoining barrier layer, a clad layer, etc. do not contact but are formed independently, respectively, they can make the side the configuration adjustment grade of an element by *****ing. Usually, the barrier layer mentioned above may perform isolation by etching in the shape of a hexagon in order to grow in the shape of a hexagon.

[0060] Next, rear-face polish of a substrate is performed. A photoresist is applied to the front face of the side in which the electrode pad 16 grade of a substrate which performed isolation was formed, by the spin coater as a protective coat. And the principal plane of an opposite side is ground the side in which the rear face of a substrate, i.e., electrode pad 16 grade, was formed until the thickness of a Light Emitting Diode element is set to about 100 micrometers using a grinder etc.

[0061] Next, the n electrode 11 is formed. Au, aluminum, or Cu is used as an n electrode 11. Wet etching etc. removes the oxide film formed in the principal plane of the side which gave the rear face of the single-crystal-silicon substrate which gave rear-face polish, i.e., polish. And an acetone etc. removes the photoresist formed in the front face of the side in which the front face of a substrate, i.e., the above-mentioned electrode pad 16 grade, was formed, as a protective coat, and the n electrode 11 is formed by forming Au by the vacuum deposition in thickness of about 0.2 micrometers at the principal plane of the side which gave the rear face of a substrate, i.e., wet etching.

[0062] Next, a p type carrier is activable by annealing a single-crystal-silicon substrate for 10 minutes at the temperature of about 600-800 degrees C.

[0063] Next, the image display element 25 as shown in drawing 5 and drawing 6 is producible by performing a cleavage using a dicing saw etc. so that an element may arrange two or more each elements to the longitudinal direction of each element. At this time, the n electrode 11 prepared in the principal plane whole surface of an opposite side is also divided into each image display element 25 the side in which Si substrate used for the crystal growth carried out the crystal growth.

[0064]

[Example] Hereafter, it explains using a concrete example.

[0065] The image display element was produced based on the gestalt of the 1st operation mentioned above example 1.

[0066] First, the single-crystal-silicon substrate was prepared and it washed using the organic solvent. And the washed substrate was inserted into MOCVD (Metal Organic Chemical Vapor Deposition) equipment, and thermal cleaning was given by heating a substrate at 800 degrees C.

[0067] Next, the single-crystal-silicon substrate was heated at 750 degrees C, and the AlN:Si layer was formed as a buffer layer on the 1 principal plane of the substrate concerned at the thickness of 0.1 micrometers.

[0068] Next, the single-crystal-silicon substrate was heated at 800 degrees C, and the GaN:Si layer was formed as a buffer layer on the AlN:Si layer at the thickness of 0.5 micrometers.

[0069] Next, the single-crystal-silicon substrate was heated at 1000 degrees C, and the AlGaIn:Mg layer was formed as a clad layer on the GaN:Si layer at the thickness of 0.2 micrometers.

[0070] Next, the single-crystal-silicon substrate was heated at 700 degrees C, and the InGaIn/GaN layer was formed as a barrier layer of multiplex quantum well structure (MQW:Multi-

Quantum-Well) on the AlGaIn layer at the thickness of 3nm.

[0071] Next, the single-crystal-silicon substrate was heated at 980 degrees C, and the AlGaIn:Si layer was formed as a clad layer on the InGaIn/GaN layer at the thickness of 1 micrometer.

[0072] Next, the single-crystal-silicon substrate was heated at 980 degrees C, and GaIn:Mg was formed as a contact layer on the AlGaIn:Mg film at the thickness of 0.1 micrometers.

[0073] Next, the single-crystal-silicon substrate was washed, the resist was applied to the principal plane of the side in which the single-crystal-silicon substrate carried out the crystal growth by the spin coater, and exposure and development were performed using the predetermined size and the photo mask of a configuration. nickel/Pt/Au was formed by the vacuum deposition in thickness of 10nm, 100nm, and 300nm after development, respectively, and the electrode pad was formed by performing a lift off with an acetone.

[0074] Next, the substrate in which the above-mentioned electrode pad was formed was washed, the resist was applied to the principal plane of the side in which the single-crystal-silicon substrate carried out the crystal growth by the spin coater, and exposure and development were performed using the predetermined size and the photo mask of a configuration. after development and Au -- 10nm of thickness -- a vacuum deposition -- forming membranes -- an acetone -- a lift off -- a line -- the transparent electrode was formed by things

[0075] Next, reactive ion etching (RIE) performed isolation by *****ing to the predetermined thickness of an GaIn:Si layer.

[0076] Next, the photoresist was applied to the front face of the side in which the electrode pad of the single-crystal-silicon substrate which performed isolation etc. was formed, by the spin coater as a protective coat. And the principal plane of an opposite side was ground the side in which it formed, the rear face, i.e., the electrode pad etc., of a single-crystal-silicon substrate etc., until the thickness of a Light Emitting Diode element was set to 100 micrometers using the grinder.

[0077] Next, wet etching removed the oxide film formed in the principal plane of the side which gave the rear face of the single-crystal-silicon substrate which gave rear-face polish, i.e., polish. Next, the acetone removed the photoresist formed in the front face of the side in which it formed, the front face, i.e., above-mentioned electrode pad etc., of a substrate etc., as a protective coat, and n electrode was formed by forming Au in thickness of 300nm at the principal plane of the side which gave the rear face of a substrate, i.e., wet etching.

[0078] Next, using the dicing saw, the cleavage was performed so that a Light Emitting Diode element might arrange in the shape of [5-50] a straight line on an image display element, and the image display element was produced.

[0079] And the LED display equipment was constituted by performing wiring of lamination and an electrode for the image display element produced in the above, as shown in drawing 4 .

[0080] When image information was displayed for the LED display equipment constituted by the above by current drive, the picture of high brightness and high color quality was able to be acquired.

[0081] The LED display equipment obtained above is constituted by putting in order the image display element which equipped with seven Light Emitting Diode elements the substrate used for the crystal growth of a Light Emitting Diode element. Since it became unnecessary to put one Light Emitting Diode element in order at a time and an image display element was mounted as a base unit by this, the Light Emitting Diode element was able to be mounted efficiently and simple. Moreover, that what is necessary is just to carry out for every image display element also about wiring of an electrode, since it was not necessary to wire one Light Emitting Diode element at a time, the electrode could be wired efficiently and simple and the reliability of wiring also improved.

[0082] The image display element was produced based on the gestalt of the 2nd operation mentioned above example 2.

[0083] First, the single-crystal-silicon substrate was prepared and it washed using the organic solvent. And the washed substrate was inserted into MOCVD (Metal Organic Chemical Vapor Deposition) equipment, and thermal cleaning was given by heating a substrate at 800 degrees C.

[0084] Next, the single-crystal-silicon substrate was heated at 750 degrees C, and the GaIn:Si

layer was formed as a buffer layer on the 1 principal plane of the substrate concerned at the thickness of 3 micrometers.

[0085] Next, SiO₂ was formed as a mask on the GaN:Si layer at the thickness of 0.2 micrometers. a mask -- barrier-layer growth with a depth of 0.2 micrometers -- only the predetermined number formed the hole in the in-every-direction direction

[0086] Next, the substrate was heated at 1000 degrees C and the GaN:Si layer was formed in the thickness of 1 micrometer as a clad layer. Furthermore, the substrate was heated at 700 degrees C and InGa_N (3nm)/Ga_N (5nm) was formed as a barrier layer of multiplex quantum well structure (MQW:Multi-Quantum-Well) on the GaN:Si layer. In order to produce the Light Emitting Diode element which emits light in red light, Eu was doped to the barrier layer. the barrier-layer growth which the barrier layer was not formed on the mask at first, but vacated for the mask -- it was formed into the hole and barrier-layer growth -- after a hole is buried -- barrier-layer growth -- it spread around along the upper surface of a mask focusing on the portion of a hole, and was formed in the shape of a circle

[0087] Next, the substrate was heated in temperature of 1000 degrees C, and the AlGa_N:Mg layer was formed as a clad layer on the InGa_N/Ga_N layer membrane at the thickness of 0.2 micrometers.

[0088] Next, the substrate was heated at 1000 degrees C and Ga_N:Mg was formed as a contact layer on the AlGa_N:Mg layer at the thickness of 0.1 micrometers.

[0089] Next, the single-crystal-silicon substrate was washed, the resist was applied to the principal plane of the side in which the substrate carried out the crystal growth by the spin coater, and exposure and development were performed using the predetermined size and the photo mask of a configuration. nickel/Pt/Au was formed by the vacuum deposition in thickness of 10nm, 100nm, and 300nm after development, respectively, and the electrode pad was formed by performing a lift off with an acetone.

[0090] Next, the substrate in which the above-mentioned electrode pad was formed was washed, the resist was applied to the principal plane of the side in which the single-crystal-silicon substrate carried out the crystal growth by the spin coater, and exposure and development were performed using the predetermined size and the photo mask of a configuration. after development and Au -- 10nm of thickness -- a vacuum deposition -- forming membranes -- an acetone -- a lift off -- a line -- the transparent electrode was formed by things

[0091] Next, reactive ion etching (RIE) performed isolation by *****ing the sides, such as a barrier layer, to the predetermined thickness of a clad layer.

[0092] Next, the photoresist was applied to the front face of the side in which the electrode pad of the single-crystal-silicon substrate which performed isolation etc. was formed, by the spin coater as a protective coat. And the principal plane of an opposite side was ground the side in which it formed, the rear face, i.e., the electrode pad etc., of a substrate etc., until the thickness of a Light Emitting Diode element was set to about 100 micrometers using the grinder etc.

[0093] Next, wet etching removed the oxide film formed in the principal plane of the side which gave the rear face of the single-crystal-silicon substrate which gave rear-face polish, i.e., polish. And the acetone removed the photoresist formed in the front face of the side in which it formed, the front face, i.e., above-mentioned electrode pad etc., of a substrate etc., as a protective coat, and n electrode was formed by forming Au by the vacuum deposition in thickness of 500nm at the principal plane of the side which gave the rear face of a single-crystal-silicon substrate, i.e., wet etching.

[0094] Next, the p type carrier was activated by annealing the substrate which carried out the crystal growth in the above at the temperature of 800 degrees C.

[0095] Next, using the dicing saw, the cleavage was performed so that a Light Emitting Diode element might arrange in the shape of [seven] a straight line on an image display element, and the image display element for red luminescence was produced.

[0096] Except doping Tb instead of Eu to a barrier layer, like the above, the image display element for green luminescence was produced, and the image display element for blue luminescence was produced like the above except doping Tm instead of Eu to a barrier layer.

[0097] And the LED display equipment was constituted by performing wiring of lamination and an

electrode for the image display element produced in the above, as shown in drawing 4 .

[0098] When image information was displayed for the LED display equipment constituted by the above by current drive, the picture of high brightness and high color quality was able to be acquired.

[0099] The LED display equipment obtained above is constituted by putting in order the image display element with which the substrate used for the crystal growth of a Light Emitting Diode element was equipped seven Light Emitting Diode elements. Since it became unnecessary to put one Light Emitting Diode element in order at a time and an image display element was mounted as a base unit by this, the Light Emitting Diode element was able to be mounted efficiently and simple. Moreover, that what is necessary is just to carry out for every image display element also about wiring of an electrode, since it was not necessary to wire one Light Emitting Diode element at a time, the electrode could be wired efficiently and simple and the reliability of wiring also improved.

[0100]

[Effect of the Invention] As explained to the detail above, the substrate for crystal growths to which it comes to carry out the crystal growth of each class of a light emitting diode element which has multilayer structure one by one is divided, and let the image display element concerning this invention be the rod-like structure by which two or more light emitting diode elements were arranged in the shape of a straight line.

[0101] Therefore, the image display element concerning this invention becomes able [the mounting man day of the Light Emitting Diode element at the time of forming display etc. and the number of wiring of an electrode] to cut down sharply.

[0102] Therefore, in case the image display element concerning this invention constitutes display etc., it becomes what was excellent in productive efficiency, and it can display the good high-definition picture of visibility.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the plan of an example of the image display element which applied this invention.

[Drawing 2] It is drawing of longitudinal section in X1-X2 line of drawing 1 .

[Drawing 3] It is the enlarged vertical longitudinal sectional view of the Light Emitting Diode element section of drawing 2 .

[Drawing 4] It is drawing showing the state where display was constituted using the image display element which applied this invention.

[Drawing 5] It is the plan of other examples of the image display element which applied this invention.

[Drawing 6] It is drawing of longitudinal section in X3-X4 line of drawing 5 .

[Drawing 7] It is the enlarged vertical longitudinal sectional view of the Light Emitting Diode element section of drawing 6 .

[Drawing 8] a mask -- barrier-layer growth -- it is the plan showing the state where the hole was formed

[Drawing 9] a mask -- barrier-layer growth -- it is drawing of longitudinal section showing the state where the hole was formed

[Description of Notations]

1 Image Display Element, 2 Light Emitting Diode Element, 3 Substrate for Crystal Growths of Light Emitting Diode Element, The 4n side buffer layer, 5 The n side buffer layer, 6 n side clad layer, 7 A barrier layer, the 8p side clad layer, 9 The p side contact layer, 10 p electrode, 11 n electrode, 16 electrode pad, 17 A transparent electrode, 18 n side buffer layer, 19 barrier-layer growth -- a hole and 20 A mask and 21 The n side clad layer and 22 A barrier layer and 23 The p side clad layer and 24 The p side contact layer and 25 An image display element and 26 Light Emitting Diode element

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

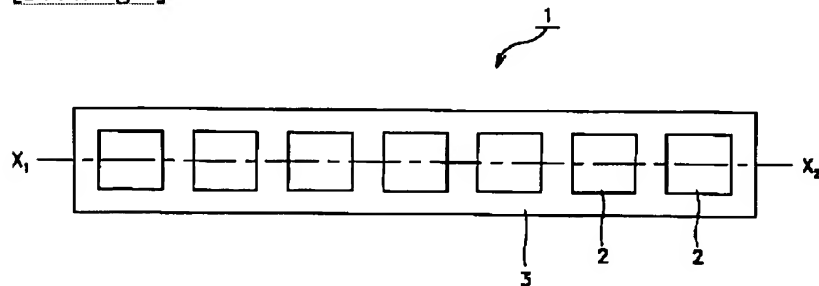
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

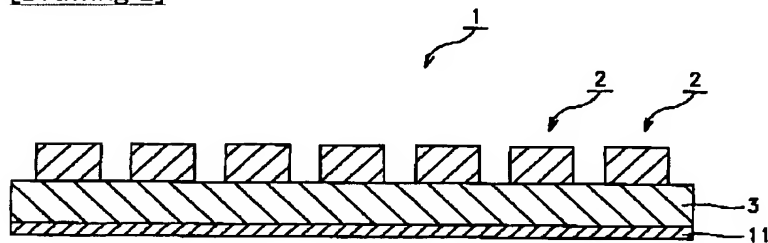
3.In the drawings, any words are not translated.

DRAWINGS

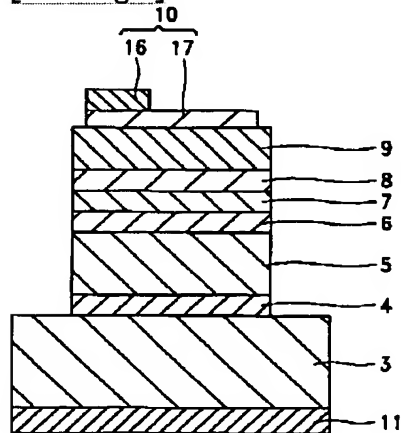
[Drawing 1]



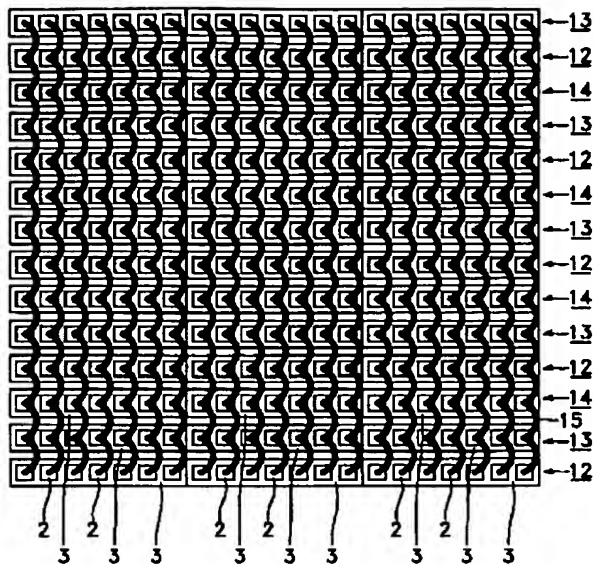
[Drawing 2]



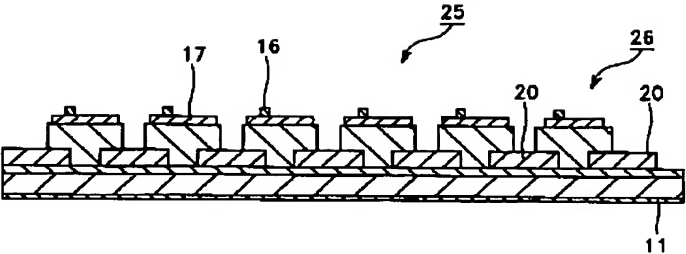
[Drawing 3]



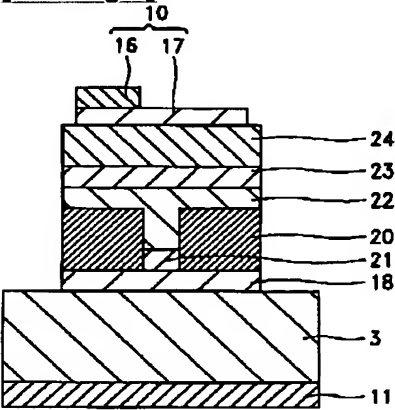
[Drawing 4]



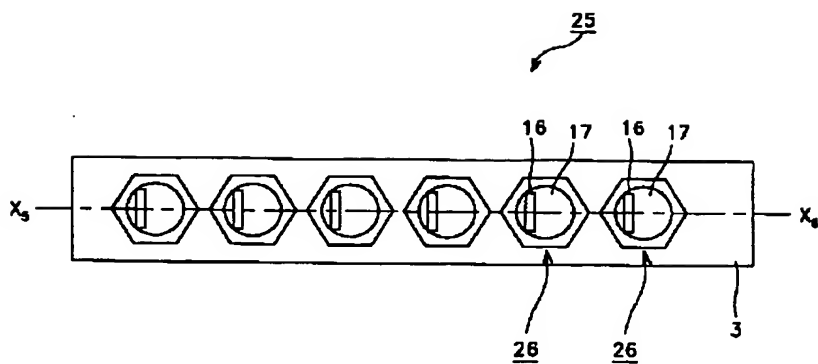
[Drawing 6]



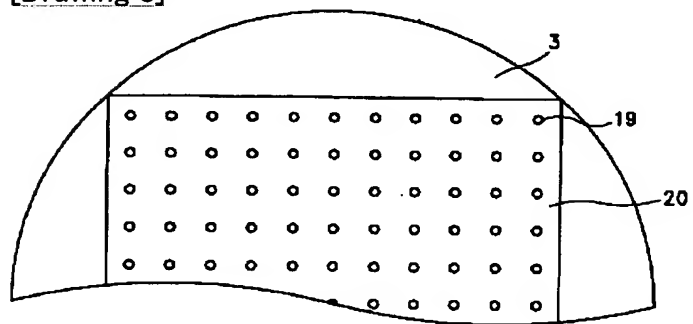
[Drawing 7]



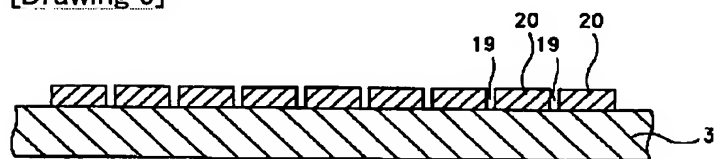
[Drawing 5]



[Drawing 8]



[Drawing 9]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-284641
(P2001-284641A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L 33/00		H 0 1 L 33/00	A 5 C 0 9 4
G 0 9 F 9/33		G 0 9 F 9/33	C 5 F 0 4 1
H 0 1 L 27/15		H 0 1 L 27/15	Z
			Z

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願2000-101371(P2000-101371)

(22) 出願日 平成12年3月31日 (2000. 3. 31)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 奥山 浩之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 戸田 淳

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100067736

弁理士 小池 晃 (外2名)

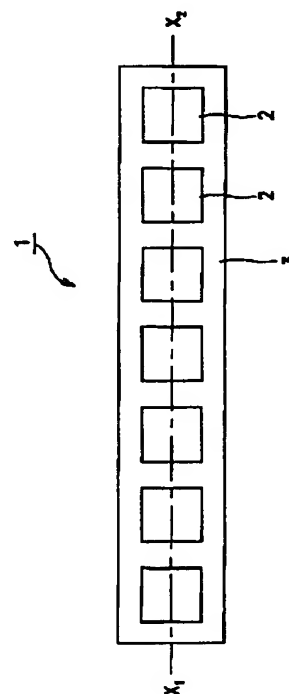
最終頁に続く

(54) 【発明の名称】 画像表示素子

(57) 【要約】

【課題】 実装及び電極配線が容易で生産効率が良く、高画質画像が表示可能な画像表示素子を提供する。

【解決手段】 多層構造を有する発光ダイオード素子の各層が順次結晶成長されてなる結晶成長用基板を分割して複数の発光ダイオード素子が直線状に配列された棒状体とする。



【特許請求の範囲】

【請求項1】 多層構造を有する発光ダイオード素子の各層が順次結晶成長されてなる結晶成長用基板が分割され、複数の発光ダイオード素子が同じ基板上に直線状に配列された棒状体とされてなることを特徴とする画像表示素子。

【請求項2】 上記結晶成長用基板は、モース硬度7以下の材料よりなることを特徴とする請求項1記載の画像表示素子。

【請求項3】 上記モース硬度7以下の材料は、単結晶シリコンであることを特徴とする請求項2記載の画像表示素子。

【請求項4】 上記発光ダイオード素子は、窒化物半導体素子であることを特徴とする請求項1記載の画像表示素子。

【請求項5】 上記窒化物半導体素子は、Ga N系ⅢⅠ-Ⅴ族半導体素子であることを特徴とする請求項4記載の画像表示素子。

【請求項6】 上記発光ダイオード素子の各層のうち、活性層に希土類元素がドーピングされることを特徴とする請求項1記載の画像表示素子。

【請求項7】 上記画像表示素子には、上記複数の発光ダイオード素子の共通電極が設けられていることを特徴とする請求項1記載の画像表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、発光ダイオード素子に関し、特にLEDを用いた発光ダイオード素子複数配置したチップに関する。

【0002】

【従来の技術】近年の急速な技術の発達により、大量の情報データを処理することが可能となり、これに伴い、大量な画像情報を処理及び表示可能なフルカラー表示装置に対する要求が高まっている。このような表示装置の一つとして発光ダイオード（Light-emitting diode、以下LEDと呼ぶ）素子を利用したものがある。即ち、高輝度低電圧で駆動可能なLED素子をマトリクス状など所望の形状に配置し、個々のLED素子をそれぞれ駆動させることにより、所望の画像が得られる表示装置を作ることができる。そして、特開昭56-1738号公報、特開平5-53511号公報、特開平7-335942号公報、特開平9-197979号公報、特開平10-22529号公報、特開平8-306961号公報、特開平7-129097号公報、特開平6-232456号公報、特開平6-45660号公報等に記載されているように、LED素子をマトリクス状に配置した多くの表示装置が提案されている。

【0003】

【発明が解決しようとする課題】ところで、このような表示装置を製造する工程においては、大画面上にLED

素子を1個ずつ実装配線することが必要となるが、この工程には非常に多くの時間を要し、製造歩留まりも低くなることは容易に考えられる。そこで、例えば、特開平7-129097号公報に記載されてあるように、LED素子3個×3個のマトリクスの小さなユニットに分割して作製し、ユニット毎に実装配線を多数平行して行うことで1ユニット当たりの歩留まりと製造時間の問題を解決することができる。

【0004】しかしながら、この場合、ユニットを小さくしすぎると、大きな画面として実装し、配線する際の歩留まりが低くなるという問題が生じる。そこで、実装配線にとって最適な大きさのユニットを形成する必要がある。また、このようにユニットを形成した場合の電極の取り出し方法としては、例えば特開昭56-1738号公報に記載されるような方法があるが、このような方法の場合には、各ユニット間の境界が目立ってしまい本来の画像情報が表示できなくなってしまうという問題がある。

【0005】したがって、本発明は、上述した従来の問題点を鑑みて創案されたものであり、実装及び電極配線が容易で生産効率が高く、高画質画像が表示可能な画像表示素子を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明に係る画像表示素子は、多層構造を有する発光ダイオード素子の各層が順次結晶成長されてなる結晶成長用基板が分割され、複数の発光ダイオード素子が直線状に配列された棒状体とされてなることを特徴とするものである。

【0007】本発明に係る画像表示素子は、多層構造を有する発光ダイオード素子の各層が順次結晶成長されてなる結晶成長用基板が分割され、複数の発光ダイオード素子が直線状に配列された棒状体とされている。

【0008】この画像表示素子においては、複数の発光ダイオード素子が配列されているため、画像表示素子を基本単位とすることにより表示装置等を形成する際のLED素子の実装工数及び電極の配線数が大幅に削減されるため、生産効率の優れたものとなり、また、視認性の良い高画質画像を表示することができる。

【0009】

【発明の実施の形態】以下、図面を参照して、本発明を詳細に説明する。

【0010】第1の実施の形態

図1乃至図3に、本発明を適用した画像表示素子の一例を示す。図1は、本発明を適用した画像表示素子1の平面図である。図2は、図1のX₁-X₂線における縦断面図である。また、図3は、LED素子部の縦断面図である。

【0011】本発明を適用した画像表示素子1は、活性層が、n導電側の半導体層と、p導電側の半導体層との間に形成されてなるLED素子を複数備えて構成され

る。ここで、p 導電側とは、活性層と p 電極との間にある半導体層を指し、n 導電側とは、活性層を挟んで、p 導電側と反対側にある半導体層を指すものとする。即ち、本発明を適用した画像表示素子 1 は、例えば LED 素子の結晶成長用の基板 3 である Si 基板と、Si 基板の一主面上に形成された n 側バッファ層 4 である AlN:Si 層と、AlN:Si 層上に形成された n 側バッファ層 5 である GaN:Si 層と、GaN:Si 層上に形成された n 側クラッド層 6 である AlGaIn:Si 層と、AlGaIn:Si 層上に形成された活性層 7 である InGaIn/GaN 層と、InGaIn/GaN 層上に形成された p 側クラッド層 8 である AlGaIn:Mg 層と、AlGaIn:Mg 層上に形成された p 側コンタクト層 9 である GaN:Mg 層と、GaN:Mg 層上に形成された p 電極 10 と、Si 基板の他主面に形成された n 電極 11 とを有する LED 素子 2 を複数備えて構成される。

【0012】上記画像表示素子 1 は、図 1 乃至図 3 に示すように、LED 素子 2 を当該 LED 素子 2 の結晶成長に用いた基板を棒状にへき開又は切断し、基板上に、直線状に複数配置することを特徴とする。

【0013】即ち、上記画像表示素子 1 は、所定数の LED 素子 2 が当該 LED 素子 2 の結晶成長用の基板 3 上に配置され、これを基本単位とするため、表示装置等を作製する際の他の基板への実装工数を大幅に削減することが可能となる。したがって、LED 素子 2 の実装を簡便かつ効率的に行うことができるため、生産効率を向上させることができる。

【0014】また、画像表示素子 1 の各 LED 素子 2 が形成された側と反対側の主面には、画像表示素子 1 上の各 LED 素子 2 全てに共通の n 電極 11 が形成されている。したがって、表示装置等を作製する際の電極の配線数を大幅に削減することが可能となり、電極の配線を簡便かつ効率的に行うことができるため、生産効率を向上させることができるとともに、電極配線の信頼性も向上させることができる。

【0015】また、上記画像表示素子 1 においては、LED 素子 2 の結晶成長用の基板 3 上に、窒化物を成長させ、窒化物半導体により LED 素子 2 を形成したことを特徴とする。

【0016】窒化物半導体により LED 素子 2 を形成することにより RGB を得ることができ、しかも劣化が少なく発光高効率を高くできるという効果を得ることができる。そして、窒化物半導体としては、GaN 系 III-V 族を好適に用いることができる。

【0017】また、上記画像表示素子 1 においては、LED 素子 2 の結晶成長用の基板 3 として、モース硬度が 7 以下の材料を用いることを特徴とする。

【0018】GaN 等の窒化物系の結晶は、通常サファイア基板上に成長させるが、サファイアは、モース硬度

が 9 であり、非常に硬く、通常へき開を行うダイシングソー等の手段では、高精度に切断することが非常に困難である。ダイシングソーを用いてサファイア基板を棒状に切断を行うと、通常は、一つの切断面に、長手方向において 20 μm 程度のばらつきが生じる。しかしながら、このへき開での切断のばらつきが大きい場合、表示装置を作製する後の工程である画像表示素子 1 を別の基板上に実装する工程において不具合が生じてしまう。そのため、画像表示素子 1 の長手方向における切断のばらつきは、画像表示素子 1 の両側面を合わせて 10 μm 程度に押さえる必要がある。

【0019】そこで、モース硬度が 6 以下の材料を LED 素子の結晶成長用の基板 3 として用いることにより、へき開を行う際の切断面の寸法のばらつきを低減することができ、精度良くへき開を行うことができるとともに、歩留まりを向上させることもできる。このような条件を満たすものとしては、例えばモース硬度が 7 である石英や、モース硬度が 7 である単結晶シリコンを好適に用いることができる。そして、その中でも、石英は、ダイシングソーによる切断を行ったときの切断のばらつきが 5 μm 程度であるが、単結晶シリコンの場合は、ダイシングソーによる切断を行ったときの切断のばらつきは 1~2 μm 程度と非常に少ないため、単結晶シリコンをより好適に用いることができる。また、単結晶シリコンは、サファイア等と比して安価であり、LED 素子の結晶成長用の基板 3 として単結晶シリコンを用いることにより高品質の LED 素子 2 を安価に製造することができる。

【0020】また、上記の LED 素子 2 においては、活性層 7 である InGaIn/GaN 層の InGaIn に希土類元素をドーピングすることにより、LED 素子 2 から得られる発光の色を変化させることができる。ここで、InGaIn にドーピング可能な希土類元素としては、例えば、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu 等を用いることができる。特に、Eu、Sm、Er をドーピングすることにより、赤色発光を得ることができ、Tb をドーピングすることにより緑色発光を得ることができ、また、Tm をドーピングすることにより青色発光を得ることができる。

【0021】以上のようにして、InGaIn に所定の希土類元素をドーピングし、例えば第一色、第二色、第三色の三種類の LED 素子をそれぞれ配置した三種類の画像表示素子を作製し、当該画像表示素子を図 4 に示すように第一色の画像表示素子 12、第二色の画像表示素子 13、第三色の画像表示素子 14 の順で順次配置し、p 電極 10 及び n 電極 11 を例えばワイヤ等を用いて配線することにより、カラー表示装置を簡便かつ効率的に構成することができる。

【0022】また、上記において InGaIn にドーピングする希土類元素を選択し、第一色を青色、即ち 450~4

80nmの発光波長帯域、第二色を緑色、即ち500～540nmの発光波長帯域、第三色を赤色、即ち610～640nmの発光波長帯域に設定することにより、RGBの3色を揃えることができ、これらRGB3色の画像表示素子を図4に示すように順次配置し、p電極及びn電極を例えばワイヤ等を用いて配線することにより、高品質のフルカラー表示装置を簡便かつ効率的に構成することができる。

【0023】以上のように構成された画像表示素子1は、次のようにして作製することができる。

【0024】まず、LED素子の結晶成長用の基板3単結晶シリコン基板を用意し、単結晶シリコン基板を有機溶剤等を用いて洗浄する。洗浄した基板を、例えばMOCVD (Metal Organic Chemical Vapor Deposition) 装置内に挿入し、基板温度を例えば800～1050℃の温度に加熱することによりサーマルクリーニングを施す。

【0025】次に、単結晶シリコン基板の一主面上に、例えば成長温度700～1000℃の温度においてn側バッファ層4としてAlN:Si層を形成する。

【0026】次に、単結晶シリコン基板を例えば700～1000℃の温度に加熱し、AlN:Si層上にバッファ層5としてGaN:Si層を0.1μm以上の厚みに形成する。

【0027】次に、単結晶シリコン基板を例えば1000℃の温度に加熱し、GaN:Si層上に、n側クラッド層6として(Al)GaN:Si層を1μm程度の厚みに形成する。ここで、Al層は、必要に応じて混入させれば良く、必ずしも形成する必要はない。

【0028】次に、単結晶シリコン基板を例えば600～800℃の温度に加熱し、AlGaN層上に、多重量子井戸構造(MQW: Multi-Quantum-Well)の活性層7としてInGaN/GaN層を1～6nm程度の厚みに形成する。ここで、InGaN/GaN層中のInの含有量は、要求される発光波長、即ち発光色により異なるが、1%～80%程度とすることが好ましい。例えば、InGaN/GaN層中のInの含有量を20%程度とすることにより青色の発光を得ることができ、40%程度とすることにより緑色の発光を得ることができ、また、50%以上とすることにより赤色の発光を得ることができる。また、活性層としては、InGaN/GaNの他にInGaN/AlGaNやInGaN/AlN等を用いることもできる。

【0029】また、InGaNに希土類をドーピングすることにより、LED素子2から得られる発光の波長、即ち色を変化させることができる。ここで、AlGaNにドーピング可能な希土類としては、例えば、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu等を用いることができる。特に、Eu、Sm、Erをドーピングすることにより、赤色

発光を得ることができ、Tbをドーピングすることにより緑色発光を得ることができ、また、Tmをドーピングすることにより青色発光を得ることができる。

【0030】次に、単結晶シリコン基板を例えば980℃の温度に加熱し、InGaN/GaN層上に、p側クラッド層8としてAlGaN:Mg層を0.1～0.2μm程度の厚みに形成する。ここで、AlGaNにホウ素を混入することにより、その下のInGaNの特性の向上やオーバーフロー電子抑制による発光効率の向上の効果をを得ることができる。

【0031】次に、単結晶シリコン基板を例えば800～980℃の温度に加熱し、AlGaN:Mg膜上に、p側コンタクト層9としてGaN:Mgを0.1μm程度の膜厚に形成する。

【0032】上記において、Gaの原料としては、トリメチルガリウム(TMGa)やトリエチルガリウム(TEGa)を用いることができる。また、Nの原料としては、NH₃を用いることができる。そして、Mgの原料としては、ビスメチルシクロペンタジエニルマグネシウム((MeCp)₂Mg)やジシクロペンタンマグネシウム(Cp₂Mg)を用いることができる。

【0033】次に、上記において結晶成長させた基板を例えば800℃程度の温度で10分間アニールすることによりp型のキャリアを活性化することができる。

【0034】次に、GaN:Mg層上に電極パッド16を形成する。上記基板を洗浄し、次に、基板の結晶成長させた側の主面にスピンコーターでレジストを塗布し、電極パッド16の大きさ及び形状に対応したフォトリソマスクを用いて露光、現像を行う。そして、現像後、例えばNi/Pt/Auをそれぞれ10nm、100nm、300nm程度の膜厚に蒸着法により成膜し、アセトンでリフトオフを行うことにより電極パッドを形成する。

【0035】次に、透明電極を形成する。上記電極パッド16を形成した基板を洗浄し、次に、スピンコーターで基板の結晶成長させた側の主面にレジストを塗布し、形成する透明電極17の大きさ及び形状に対応したフォトリソマスクを用いて露光、現像を行う。そして、現像後、例えばAuを膜厚10nmに蒸着法により成膜し、アセトンでリフトオフを行くことにより透明電極17を形成する。

【0036】次に、素子分離を行う。素子分離は、例えばリアクティブイオンエッチング(RIE)等を用いて、GaN:Si膜の所定の厚みまでエッチングすることにより行うことができる。

【0037】次に、基板の裏面研磨を行う。素子分離を行った基板の電極パッド16等を形成した側の表面に、保護膜としてスピンコーターでフォトリソレジストを塗布する。そして、研磨機等を用いてLED素子の厚みが例えば100μm程度になるまで基板の裏面、即ち電極パッド16等を形成した側と反対側の主面の研磨を行う。

【0038】次に、n電極11を形成する。n電極11としては、Au、Al又はCuを用いる。裏面研磨を施した基板の裏面、即ち研磨を施した側の主面に形成された酸化膜をウェットエッチング等により除去する。次に、基板の表面、即ち上記電極パッド16等を形成した側の表面に保護膜として形成したフォトレジストをアセトン等により除去し、基板の裏面、即ちウェットエッチングを施した側の主面に例えばAuを300nm程度の厚みに蒸着法により成膜することによりn電極11を形成する。

【0039】次に、LED素子2が画像表示素子1上に直線状に複数配列するように例えばダイシングソー等を用いてへき開を行うことにより、図1、図2に示すような画像表示素子1を作製することができる。このとき、上記において作製したn電極11も各画像表示素子1に分離される。

【0040】第2の実施の形態

図5乃至図7に、本発明を適用した画像表示素子の他の例を示す。図5は、本発明を適用した画像表示素子25の平面図である。図6は、図1のX-X'線における縦断面図である。また、図7は、LED素子部の縦断面図である。

【0041】上記画像表示素子25は、LED素子26の結晶成長用の基板であるSi基板と、Si基板の一主面上に形成されたn側バッファ層18であるGa_{0.5}N_{0.5}:Si層と、Ga_{0.5}N_{0.5}層上に形成され活性層成長孔19を備えたマスク20であるSiO₂と、活性層成長孔19中に形成されたn側クラッド層21であるGa_{0.5}N_{0.5}:Si層と、活性層成長孔19中及びマスク20上に形成された活性層22であるInGa_{0.5}N_{0.5}/Ga_{0.5}N層と、InGa_{0.5}N_{0.5}/Ga_{0.5}N層上に形成されたp側クラッド層23であるAlGa_{0.5}N_{0.5}:Mg層と、AlGa_{0.5}N_{0.5}:Mg層上に形成されたp側コンタクト層24であるGa_{0.5}N_{0.5}:Mg層と、Ga_{0.5}N_{0.5}:Mg層上に形成されたp電極10と、Si基板の他主面に形成されたn電極11とを有するLED素子26を複数備えて構成される。

【0042】上記画像表示素子25は、活性層22を形成する際にマスク20を用いていること以外は、基本的な構成は、第1の実施の形態とほぼ同様であり、同様の効果を有する。したがって、ここでは、第1の実施の形態と異なるマスク20を使用しての活性層22の形成について説明する。

【0043】上記LED素子26においては、LED素子の結晶成長用の基板3である単結晶シリコン基板の一主面上に、n側バッファ層19であるGa_{0.5}N層が形成され、当該Ga_{0.5}N層上にマスク20としてSiO₂が形成されている。そして、当該マスクには、図8、図9に示すように縦横方向において所定の直線状に並ぶように活性層成長孔19が設けられている。活性層成長孔19は、活性層22を成長させる際に中心となる部分であ

り、活性層成長孔19の底部には、n側クラッド層21としてGa_{0.5}N:Si層が例えば1μm程度の厚みに形成される。そして、Ga_{0.5}N:Si層上に活性層成長孔19を埋め、活性層22であるInGa_{0.5}N/Ga_{0.5}N層が更にマスク20の上面に沿って例えば六角形に形成されている。

【0044】以上のような構成とすることにより、画像表示素子25上におけるLED素子26の位置決めを簡便かつ確実に行うことができ、LED素子26の配置精度の良い画像表示素子25とすることができる。

【0045】以上のように構成された画像表示素子25は、次のようにして作製することができる。

【0046】まず、LED素子の結晶成長用の基板3として単結晶シリコン基板を用意し、当該単結晶シリコン基板を有機溶剤等を用いて洗浄する。洗浄した基板を、MOCVD (Metal Organic Chemical Vapor Deposition) 装置内に挿入し、基板温度を例えば800~1050℃の温度に加熱することによりサーマルクリーニングを施す。

【0047】次に、単結晶シリコン基板の一主面上に、例えば成長温度800~1000℃の温度においてn側バッファ層18としてGa_{0.5}N:Si層を形成する。このGa_{0.5}N:Si層の厚みは、Siのドーピング濃度により変化するが、3μm程度が好ましい。

【0048】次に、Ga_{0.5}N:Si層上に、マスク20としてSiO₂を0.2μm程度の厚みに形成する。そして、図8に示すようにマスクに、深さ0.2μm程度の活性層成長孔19を縦、横にそれぞれ直線状に並ぶように所定の数だけ空ける。ここで、マスクに空けた活性層成長孔19は、後の工程において活性層22の中心となる部分であり、表示装置等を構成した際の画素に対応するものである。また、マスク20は、SiNを用いて形成しても良い。

【0049】次に、単結晶シリコン基板を例えば800~1000℃の温度に加熱し、n側クラッド層21としてGa_{0.5}N:Si層を1μm程度形成し、更に単結晶シリコン基板を例えば600~800℃の温度に加熱してGa_{0.5}N:Si層上に多重量子井戸構造 (MQW: Multi-Quantum-Well) の活性層22としてInGa_{0.5}N (3nm~6nm程度) / Ga_{0.5}N (5nm程度) を形成する。ここで、Ga_{0.5}N:Si層及びInGa_{0.5}N/Ga_{0.5}N層は、最初はマスク20上には形成されず、マスク20に空けた活性層成長孔19の中に形成される。そして、活性層成長孔19が埋まった後は、活性層成長孔19の部分を中心としてマスク20の上面に沿って周りに広がり、六角形状に形成される。このとき、各活性層成長孔19から広がって成長した隣接する活性層22同士が繋がらないように調整する。

【0050】このように、Ga_{0.5}N:Si層上にマスク20を形成し、マスク20に活性層成長孔19を空けて活

10

20

30

40

50

性層22を形成し、各活性層成長孔19に成長した隣接する活性層22が繋がらないように制御してすることにより、上述した第1の実施の形態で行った素子分離の工程を簡便化することができる。

【0051】また、InGa_N/Ga_N膜中のInの含有量は、要求される発光波長により異なるが、1%~80%程度とすることが好ましい。また、障壁層としては、InGa_N/Ga_Nの他にInGa_N/AlGa_NやInGa_N/Al_N等を用いることもできる。

【0052】また、第1の実施の形態と同様に、InGa_Nに希土類をドーピングすることにより、LED素子26から得られる発光の色を変化させることができる。

【0053】次に、単結晶シリコン基板を例えば800~980℃の温度に加熱し、InGa_N/Ga_N膜上に、p側クラッド層23としてAlGa_N:Mg層を0.1~0.2μm程度の膜厚に形成する。

【0054】次に、単結晶シリコン基板を例えば800~980℃の温度に加熱し、AlGa_N:Mg層上に、p側コンタクト層24としてGa_N:Mgを0.1μm程度の膜厚に形成する。p側コンタクト層24としてのGa_N:Mgは、Mg濃度を高めに形成する。

【0055】ここで、活性層22をクラッドしているGa_N層、AlGa_N層には、必要に応じてBを混入し、Alの含有率を多くした、BA₁Ga_N等を用いても良い。Bを混入することにより、その下のInGa_Nの安定性向上や電子オーバーフローを抑えて発光効率の向上の効果を得ることができる。

【0056】上記において、Ga、N、Mgの原料としては、第1の実施の形態と同様のもを用いることができる。

【0057】次に、Ga_N:Mg層上に電極パッド16を形成する。上記基板を洗浄し、基板の結晶成長させた側の主面にスピコーターでレジストを塗布し、電極パッド16の大きさ及び形状に対応したフォトマスクを用いて露光、現像を行う。そして、現像後、例えばNi/Pt/Auをそれぞれ10nm、100nm、300nm程度の膜厚に蒸着法により成膜し、アセトンでリフトオフを行うことにより電極パッド16を形成する。また、Ni/Pt/Auの代わりにTi/Al/Pt/Au等を形成しても良い。

【0058】次に、透明電極17を形成する。上記電極パッド16を形成した基板を洗浄し、スピコーターで基板の結晶成長させた側の主面にレジストを塗布し、形成する透明電極17の大きさ及び形状に対応したフォトマスクを用いて露光、現像を行う。そして、現像後、例えばAuを膜厚10nmに蒸着法により成膜し、アセトンでリフトオフを行うことにより透明電極17を形成する。

【0059】次に、素子分離を行う。素子分離は、例えばリアクティブイオンエッチング(RIE)等を用いて

行うことができる。この場合、隣接する活性層及びクラッド層等は接触しておらず、それぞれ独立して形成されているため、その側面をエッチングすることにより、素子の形状調整程度とすることができる。通常は、上述した活性層等は、六角形状に成長するため、六角形状にエッチングを施すことにより素子分離を行っても良い。

【0060】次に、基板の裏面研磨を行う。素子分離を行った基板の電極パッド16等を形成した側の表面に、保護膜としてスピコーターでフォトレジストを塗布する。そして、研磨機等を用いてLED素子の厚みが例えば100μm程度になるまで基板の裏面、即ち電極パッド16等を形成した側と反対側の主面の研磨を行う。

【0061】次に、n電極11を形成する。n電極11としては、Au、Al又はCuを用いる。裏面研磨を施した単結晶シリコン基板の裏面、即ち研磨を施した側の主面に形成された酸化膜をウェットエッチング等により除去する。そして、基板の表面、即ち上記電極パッド16等を形成した側の表面に保護膜として形成したフォトレジストをアセトン等により除去し、基板の裏面、即ちウェットエッチングを施した側の主面に例えばAuを0.2μm程度の厚みに蒸着法により成膜することによりn電極11を形成する。

【0062】次に、単結晶シリコン基板を例えば600~800℃程度の温度で10分間アニールすることによりp型のキャリアを活性化することができる。

【0063】次に、それぞれの素子を各素子の長手方向に素子が複数配列するように例えばダイシングソー等を用いてへき開を行うことにより、図5、図6に示すような画像表示素子25を作製することができる。このと

き、結晶成長に用いたSi基板の結晶成長させた側と反対側の主面一面に設けられたn電極11も各画像表示素子25に分離されている。

【0064】

【実施例】以下、具体的な実施例を用いて説明する。

【0065】実施例1

上述した第1の実施の形態に基づき画像表示素子を作製した。

【0066】まず、単結晶シリコン基板を準備し、有機溶剤を用いて洗浄した。そして、洗浄した基板を、MOCVD (Metal Organic Chemical Vapor Deposition) 装置内に挿入し、基板を800℃に加熱することによりサーマルクリーニングを施した。

【0067】次に、単結晶シリコン基板を750℃に加熱し、当該基板の一主面上にバッファ層としてAl_N:Si層を0.1μmの厚みに形成した。

【0068】次に、単結晶シリコン基板を800℃に加熱し、Al_N:Si層上にバッファ層としてGa_N:Si層を0.5μmの厚みに形成した。

【0069】次に、単結晶シリコン基板を1000℃に加熱し、Ga_N:Si層上に、クラッド層としてAlG

aN:Mg層を0.2μmの厚みに形成した。

【0070】次に、単結晶シリコン基板を700℃に加熱し、AlGaIn層上に、多重量子井戸構造(MQW: Multi-Quantum-Well)の活性層としてInGaIn/GaN層を3nmの厚みに形成した。

【0071】次に、単結晶シリコン基板を980℃に加熱し、InGaIn/GaN層上に、クラッド層としてAlGaIn:Si層を1μmの厚みに形成した。

【0072】次に、単結晶シリコン基板を980℃に加熱し、AlGaIn:Mg膜上に、コンタクト層としてGaN:Mgを0.1μmの厚みに形成した。

【0073】次に、単結晶シリコン基板を洗浄し、単結晶シリコン基板の結晶成長させた側の主面にスピナーでレジストを塗布し、所定の大きさ及び形状のフォトリソマスクを用いて露光、現像を行った。現像後、Ni/Pt/Auをそれぞれ10nm、100nm、300nmの厚みに蒸着法により成膜し、アセトンでリフトオフを行うことにより電極パッドを形成した。

【0074】次に、上記電極パッドを形成した基板を洗浄し、スピナーで単結晶シリコン基板の結晶成長させた側の主面にレジストを塗布し、所定の大きさ及び形状のフォトリソマスクを用いて露光、現像を行った。現像後、Auを膜厚10nmに蒸着法により成膜し、アセトンでリフトオフを行うことにより透明電極を形成した。

【0075】次に、リアクティブイオンエッチング(RIE)により、GaN:Si層の所定の厚みまでエッチングすることにより素子分離を行った。

【0076】次に、素子分離を行った単結晶シリコン基板の電極パッド等を形成した側の表面に、保護膜としてスピナーでフォトリソレジストを塗布した。そして、研磨機を用いてLED素子の厚みが100μmになるまで単結晶シリコン基板の裏面、即ち電極パッド等を形成した側と反対側の主面の研磨を行った。

【0077】次に、裏面研磨を施した単結晶シリコン基板の裏面、即ち研磨を施した側の主面に形成された酸化膜をウェットエッチングにより除去した。次に、基板の表面、即ち上記電極パッド等を形成した側の表面に保護膜として形成したフォトリソレジストをアセトンにより除去し、基板の裏面、即ちウェットエッチングを施した側の主面にAuを300nmの厚みに成膜することによりn電極を形成した。

【0078】次に、ダイシングソーを用いて、LED素子が画像表示素子上に直線状に5~50個配列するようにへき開を行い、画像表示素子を作製した。

【0079】そして、上記において作製した画像表示素子を図4に示すように貼り合わせ、電極の配線を施すことにより、LED表示装置を構成した。

【0080】以上により構成されたLED表示装置を電流駆動により画像情報を表示させたところ、高輝度、高品質の画像を得ることができた。

【0081】以上において得られたLED表示装置は、LED素子の結晶成長に使用した基板にLED素子7個を備えた画像表示素子を並べることにより構成されている。これにより、LED素子を1個ずつ並べる必要がなくなり画像表示素子を基本単位として実装することができ、LED素子の実装を効率的に、かつ簡便に行うことができた。また、電極の配線に関しても、画像表示素子毎に行えば良く、LED素子1個ずつ配線する必要がないため、電極の配線を効率的に、かつ簡便に行うことができ、また、配線の信頼性も向上した。

【0082】実施例2

上述した第2の実施の形態に基づき画像表示素子を作製した。

【0083】まず、単結晶シリコン基板を用意し、有機溶剤を用いて洗浄した。そして、洗浄した基板を、MOCVD(Metal Organic Chemical Vapor Deposition)装置内に挿入し、基板を800℃に加熱することによりサーマルクリーニングを施した。

【0084】次に、単結晶シリコン基板を750℃に加熱し、当該基板の一主面上にバッファ層としてGaN:Si層を3μmの厚みに形成した。

【0085】次に、GaN:Si層上に、マスクとしてSiO₂を0.2μmの厚みに形成した。マスクには、深さ0.2μmの活性層成長孔を縦横方向に所定の数だけ形成した。

【0086】次に、基板を1000℃に加熱し、クラッド層としてGaN:Si層を1μmの厚みに形成した。更に基板を700℃に加熱してGaN:Si層上に多重量子井戸構造(MQW: Multi-Quantum-Well)の活性層としてInGaIn(3nm)/GaN(5nm)を形成した。赤色光を発光するLED素子を作製するために、活性層にEuをドーブした。活性層は、最初はマスク上には形成されず、マスクに空けた活性層成長孔の中に形成された。そして、活性層成長孔が埋まった後は、活性層成長孔の部分を中心としてマスクの上面に沿って周りに広がり、円状に形成された。

【0087】次に、基板を1000℃の温度に加熱し、InGaIn/GaN層膜上に、クラッド層としてAlGaIn:Mg層を0.2μmの厚みに形成した。

【0088】次に、基板を1000℃に加熱し、AlGaIn:Mg層上に、コンタクト層としてGaN:Mgを0.1μmの厚みに形成した。

【0089】次に、単結晶シリコン基板を洗浄し、基板の結晶成長させた側の主面にスピナーでレジストを塗布し、所定の大きさ及び形状のフォトリソマスクを用いて露光、現像を行った。現像後、Ni/Pt/Auをそれぞれ10nm、100nm、300nmの厚みに蒸着法により成膜し、アセトンでリフトオフを行うことにより電極パッドを形成した。

【0090】次に、上記電極パッドを形成した基板を洗

淨し、スピンコーターで単結晶シリコン基板の結晶成長させた側の主面にレジストを塗布し、所定の大きさ及び形状のフォトマスクを用いて露光、現像を行った。現像後、Auを膜厚10nmに蒸着法により成膜し、アセトンでリフトオフを行うことにより透明電極を形成した。

【0091】次に、リアクティブイオンエッチング(RIE)により、活性層等の側面をクラッド層の所定の厚みまでエッチングすることにより素子分離を行った。

【0092】次に、素子分離を行った単結晶シリコン基板の電極パッド等を形成した側の表面に、保護膜としてスピンコーターでフォトレジストを塗布した。そして、研磨機等を用いてLED素子の厚みが例えば100μm程度になるまで基板の裏面、即ち電極パッド等を形成した側と反対側の主面の研磨を行った。

【0093】次に、裏面研磨を施した単結晶シリコン基板の裏面、即ち研磨を施した側の主面に形成された酸化膜をウエットエッチングにより除去した。そして、基板の表面、即ち上記電極パッド等を形成した側の表面に保護膜として形成したフォトレジストをアセトンにより除去し、単結晶シリコン基板の裏面、即ちウエットエッチングを施した側の主面にAuを500nmの厚みに蒸着法により成膜することによりn電極を形成した。

【0094】次に、上記において結晶成長させた基板を800℃の温度でアニールすることによりp型のキャリアを活性化させた。

【0095】次に、ダイシングソーを用いて、LED素子が画像表示素子上に直線状に7個配列するようにへき開を行い、赤色発光用の画像表示素子を作製した。

【0096】活性層にEuの代わりにTbをドーピングすること以外は上記と同様にして、緑色発光用の画像表示素子を作製し、活性層にEuの代わりにTmをドーピングすること以外は上記と同様にして、青色発光用の画像表示素子を作製した。

【0097】そして、上記において作製した画像表示素子を図4に示すように貼り合わせ、電極の配線を施すことにより、LED表示装置を構成した。

【0098】以上により構成したLED表示装置を電流駆動により画像情報を表示させたところ、高輝度、高色品質の画像を得ることができた。

【0099】以上において得られたLED表示装置は、LED素子の結晶成長に使用した基板にLED素子7個備えた画像表示素子を並べることにより構成されている。これにより、LED素子を1個ずつ並べる必要がなくなり画像表示素子を基本単位として実装することがで

きるため、LED素子の実装を効率的に、かつ簡便に行うことができた。また、電極の配線に関しても、画像表示素子毎に行えば良く、LED素子1個ずつ配線する必要がないため、電極の配線を効率的に、かつ簡便に行うことができ、また、配線の信頼性も向上した。

【0100】

【発明の効果】以上詳細に説明したように、本発明に係る画像表示素子は、多層構造を有する発光ダイオード素子の各層が順次結晶成長されてなる結晶成長用基板が分割され、複数の発光ダイオード素子が直線状に配列された棒状体とされる。

【0101】そのため、本発明に係る画像表示素子は、表示装置等を形成する際のLED素子の実装工数及び電極の配線数が大幅に削減することが可能となる。

【0102】したがって、本発明に係る画像表示素子は、表示装置等を構成する際に生産効率の優れたものとなり、また、視認性の良い高画質画像を表示することができる。

【図面の簡単な説明】

【図1】本発明を適用した画像表示素子の一例の平面図である。

【図2】図1のX₁-X₂線における縦断面図である。

【図3】図2のLED素子部の拡大縦断面図である。

【図4】本発明を適用した画像表示素子を用いて表示装置を構成した状態を示す図である。

【図5】本発明を適用した画像表示素子の他の例の平面図である。

【図6】図5のX₃-X₄線における縦断面図である。

【図7】図6のLED素子部の拡大縦断面図である。

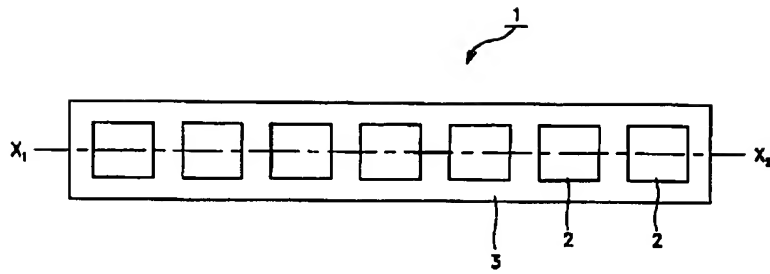
【図8】マスクに活性層成長孔を形成した状態を示す平面図である。

【図9】マスクに活性層成長孔を形成した状態を示す縦断面図である。

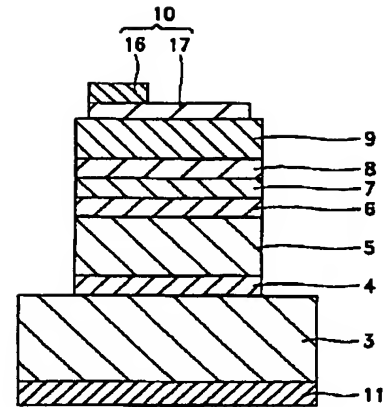
【符号の説明】

1 画像表示素子、2 LED素子、3 LED素子の結晶成長用の基板、4 n側バッファ層、5 n側バッファ層、6 n側クラッド層、7 活性層、8 p側クラッド層、9 p側コンタクト層、10 p電極、11 n電極、16 電極パッド、17 透明電極、18 n側バッファ層、19 活性層成長孔、20 マスク、21 n側クラッド層、22 活性層、23 p側クラッド層、24 p側コンタクト層、25 画像表示素子、26 LED素子

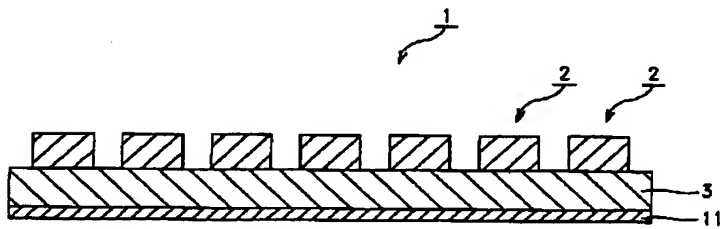
【図1】



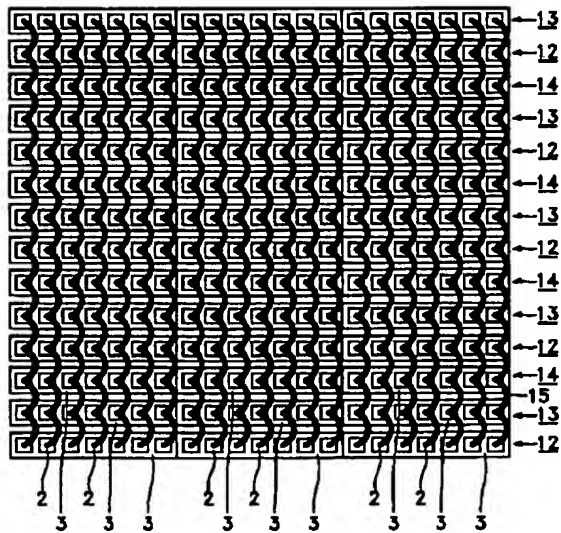
【図3】



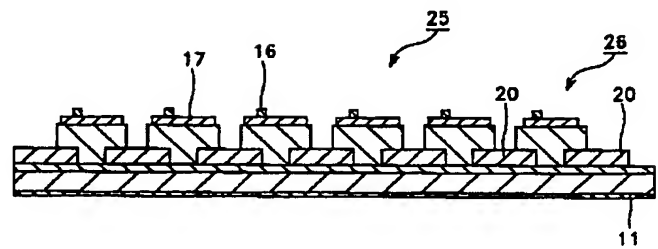
【図2】



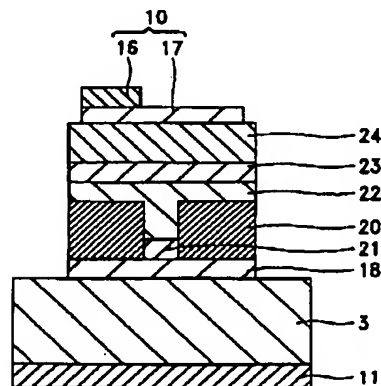
【図4】



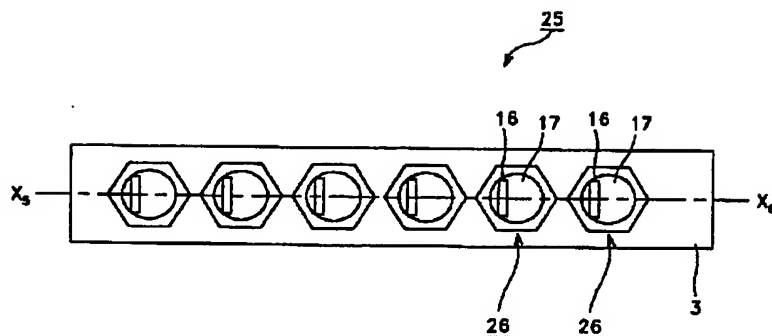
【図6】



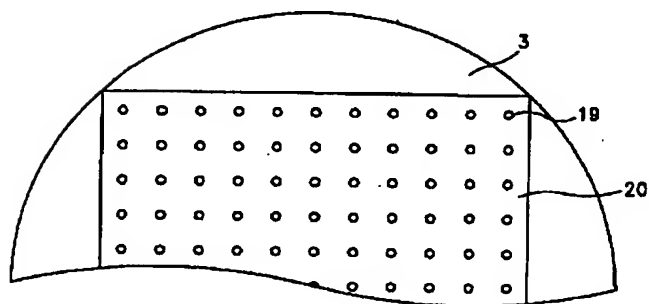
【図7】



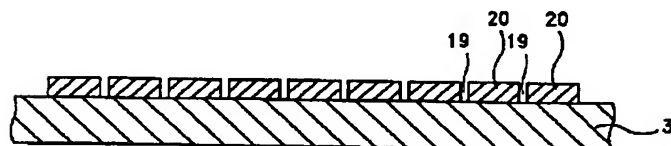
【図5】



【図8】



【図9】



フロントページの続き

(72)発明者 中尾 勇
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(72)発明者 白井 克弥
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72)発明者 小島 繁
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
Fターム(参考) 5C094 AA01 AA43 AA44 AA45 BA26
CA19 DA03 EA04 EA07 EB05
5F041 AA14 AA42 CA05 CA33 CA34
CA40 CA57 CA65 CA73 CA76
CA82 CA92 FF06